

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08212145 A

(43) Date of publication of application: 20 . 08 . 96

(51) Int. Cl

G06F 12/16
G11C 29/00

(21) Application number: 07020799

(71) Applicant: FUJITSU LTD

(22) Date of filing: 08 . 02 . 95

(72) Inventor: KOBAYASHI NORIAKI

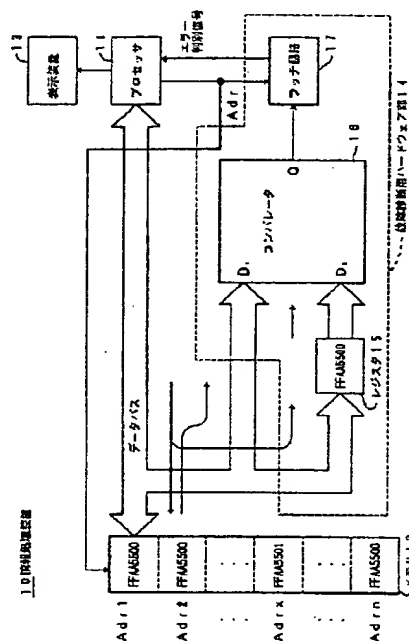
(54) INFORMATION PROCESSOR, METHOD AND
DEVICE FOR DIAGNOSING MEMORY

(57) Abstract:

PURPOSE: To diagnose a read/write enable memory at high speed concerning the information processor, method and device for diagnosing memory with which the fault of the memory is diagnosed.

CONSTITUTION: This device is composed of a processor 11 for accessing a memory 12 and recognizing the fault of the memory 12, register 15 for previously holding test data to be written in all the areas of the memory 12 by the processor 11, comparator 16 for comparing whether the test data read out of the memory 12 by the processor 11 are matched with the test data previously held in the register 15 or not, and latch circuit 17 for latching the compared result of the comparator 16 and supplying it to the processor 11.

COPYRIGHT: (C)1996,JPO



JC841 U.S. PTO
09/136282
12/15/00

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-212145

(43) 公開日 平成8年(1996) 8月20日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/16	3 3 0 C	7623-5B		
G 1 1 C 29/00	3 0 3 D			

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願平7-20799

(22) 出願日 平成7年(1995) 2月8日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 小林 憲明

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

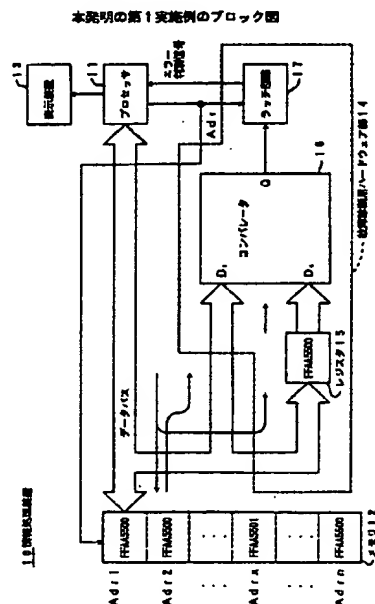
(74) 代理人 弁理士 伊東 忠彦

(54) 【発明の名称】 情報処理装置及びメモリ診断方法及びメモリ診断装置

(57) 【要約】

【目的】 読み書き可能なメモリの故障を診断する情報処理装置及びメモリ診断方法及びメモリ診断装置に関し、高速にメモリの診断が行なえる情報処理装置及びメモリ診断方法及びメモリ診断装置を提供することを目的とする。

【構成】 メモリ12に対してアクセスすると共にメモリ12の故障を認識するプロセッサ11と、プロセッサ11によりメモリ12全域に書込まれるテストデータを予め保持しておくレジスタ15と、プロセッサ11によりメモリ12から読み出されたテストデータとレジスタ15に予め保持されたテストデータとの一致を比較するコンパレータ16と、コンパレータ16での比較結果をラッチし、プロセッサ11に供給するラッチ回路17とより構成してなる。



【特許請求の範囲】

【請求項1】 搭載されたメモリの故障を診断する機能を有する情報処理装置において、

前記メモリ内全域に同じテストデータを記憶させると共に前記メモリからテストデータを読み出すメモリアクセス手段と、

前記メモリに記憶させるテストデータを保持するテストデータ保持手段と、

前記メモリから読み出されたテストデータと前記テストデータ保持手段に保持されたテストデータとを比較し、不一致のときに前記メモリの故障を示す故障判定信号を生成する比較手段とを有することを特徴とする情報処理装置。

【請求項2】 前記テストデータ保持手段及び、前記比較手段は専用ハードウェアにより構成されることを特徴とする請求項1記載の情報処理装置。

【請求項3】 メモリへのアクセスを制御するメモリアクセス制御手段によりメモリ内全域に同じテストデータを書き込むデータ書込過程と、

前記メモリ内全域に書き込んだ前記テストデータをテストデータ保持手段に保持するデータ保持過程と、

前記データ書込過程で前記メモリに書き込んだ前記テストデータと、前記データ保持過程で前記テストデータ保持手段に保持された前記テストデータとを読み出し、データの一致、不一致を比較する比較手段により比較し、前記テストデータの不一致部分を指示する比較過程とを有することを特徴とするメモリ診断方法。

【請求項4】 前記データ書込過程と前記比較過程との間に所定の時間待機する待機過程を有することを特徴とする請求項3記載のメモリ診断方法。

【請求項5】 出力データが確定した時点でデータ確定信号を出力するメモリの不良を診断するメモリ診断方法であって、

前記メモリにアクセスするアクセス過程と、

前記データ確定信号を検知し、前記データ確定信号を検知したときのデータの確定・不確定を検知する確定検知過程と、

前記確定検知過程での検知結果が不確定とされたときに前記データ確定信号を遅延させる遅延制御過程とを有することを特徴とするメモリ診断方法。

【請求項6】 出力データが確定してからデータ確定信号を出力するメモリに対してアクセスするアクセス手段と、

前記データ確定信号入力時のデータの状態を検知するデータ検知手段と、

前記データ確定信号を遅延させる遅延回路と、

前記遅延回路の遅延時間を可変する遅延時間可変手段とを有することを特徴とするメモリ診断装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理装置及びメモリ診断方法及びメモリ診断装置に係り、特に、読み書き可能なメモリの故障を診断する情報処理装置及びメモリ診断方法及びメモリ診断装置に関する。

【0002】 近年、情報処理装置等ではメモリが不良のまま、情報を処理すると正確な処理が実行できなくなるため、電源投入時などにメモリの不良を検知し、メモリの交換等を行なわせるべく、メモリの初期診断機能を有するものがある。しかしながら、メモリの大容量化に伴いメモリの素子不良等の診断に時間を要するようになってきている。

【0003】 このため、メモリの診断をより高速に行なうことが求められている。

【0004】

【従来の技術】 図9に従来の一例のブロック図を示す。従来の情報処理装置40は予め設定されたプログラムに従って情報を処理するプロセッサ41、プロセッサ41で処理されるデータが記憶されるメモリ42、プロセッサ41での処理結果を表示する表示装置43より構成され、電源投入時等の初期状態においてメモリ42の不良の診断はプロセッサ41をプログラムにより制御することにより行っていた。

【0005】 図10に従来の一例のメモリの初期診断フローチャートを示す。プロセッサ41にメモリ診断指令があると（ステップS4-1）、メモリ42の最初のアドレスに一旦アクセスしてテストデータを書き込み、再び読み出す（ステップS4-2、S4-4）。

【0006】 プロセッサ41は読み出したデータとメモリ42に書き込んだテストデータを比較して両データが一致しているか否かを判定し、不一致であれば表示装置43にエラー表示を行ない、一致であれば、メモリ42の次のアドレスにテストデータを書き込み、再び読み出して書き込んだテストデータとメモリ42から読み出したデータとの一致・不一致を判定し、エラーを検知する（ステップS4-5～S4-9）。

【0007】 従来は、プロセッサ41により以上、ステップS4-3～S4-9をくり返すことによりエラーの抽出を行っていた。

【0008】

【発明が解決しようとする課題】 しかるに、従来のメモリ診断方法ではメモリに接続されたプロセッサがプログラムによりメモリに対してアドレス毎にデータの書き込み、読み出しを行ない、書き込み時のデータと読み出し時のデータとを比較してデータが異なっていたらエラーであると判断を行っていたため、一アドレス分のエラー判定に時間がかかり、特にメモリ容量が大きくなるとメモリ全体の診断に膨大な時間を要する等の問題点があった。

【0009】 また、従来のメモリ診断方法ではデータが異なるか否かでエラーの判定を行うのみであるため、ア

クセタイム不良、保持性不良等の検出はできなかった。本発明は上記の点に鑑みてなされたものでメモリの故障診断を高速に行なえる情報処理装置、メモリ診断方法及びメモリ診断装置を提供することを目的とする。

【0010】

【課題を解決するための手段】図1に本発明の原理図を示す。メモリアクセス手段1は、メモリ内全域に同じテストデータを記憶させると共に前記メモリからテストデータを読み出す。

【0011】テストデータ保持手段2は、テストデータを保持する。比較手段3は、メモリから読み出されたテストデータとテストデータ保持手段に保持されたテストデータとを比較し、不一致のときにメモリの故障を示す故障判定信号を生成する。

【0012】請求項2は、前記テストデータ保持手段及び、前記比較手段を専用ハードウェアにより構成してなる。請求項3は、メモリへのアクセスを制御するメモリアクセス制御手段によりメモリ内全域に同じテストデータを書き込むデータ書込過程と、前記メモリ内全域に書き込んだ前記テストデータをテストデータ保持手段に保持するデータ保持過程と、前記データ書込過程で前記メモリに書き込んだ前記テストデータと、前記データ保持過程で前記テストデータ保持手段に保持された前記テストデータとを読み出し、データの一致、不一致を比較する比較手段により比較し、前記テストデータの不一致部分を指示する比較過程とを有する。

【0013】請求項4は、前記データ書込過程と前記比較過程との間に所定の時間待機する待機過程を有してなる。請求項5は、出力データが確定した時点でデータ確定信号を出力するメモリの不良を診断するメモリ診断方法であって、前記メモリにアクセスするアクセス過程と、前記データ確定信号を検知し、前記データ確定信号を検知したときのデータの確定・不確定を検知する確定検知過程と、前記確定検知過程での検知結果が不確定とされたときに前記データ確定信号を遅延させる遅延制御過程とを有してなる。

【0014】請求項6は、出力データが確定してからデータ確定信号を出力するメモリに対してアクセスするアクセス手段と、前記データ確定信号入力時のデータの状態を検知するデータ検知手段と、前記データ確定信号を遅延させる遅延回路と、前記遅延回路の遅延時間を可変する遅延時間可変手段とを有してなる。

【0015】

【作用】本発明の請求項1によれば、メモリの全域にはメモリアクセス手段により同じテストデータを書き込み、書き込まれたテストデータをメモリから順次読み出し、比較手段によりテストデータ保持手段に保持されたテストデータと比較するだけで、メモリの故障診断が行なえ、メモリへのアクセスと故障診断とを独立に行なえるため、高速に診断が行なえる。

【0016】請求項2によれば、テストデータ保持手段と比較手段とを専用ハードウェアで構成することにより、故障の診断を専用ハードウェアにより独立に行なえ、プログラムの制御を簡略化できるため、高速に診断が可能となる。請求項3によれば、テストデータをメモリ全域及びテストデータ保持手段に書き込んだ後、テストデータ保持手段に書込まれたテストデータを比較手段に供給し、比較手段にメモリから順次データを読み出すことにより比較手段でテストデータ保持手段のテストデータとメモリから読み出されたテストデータとを比較し、その不一致を検知することによりデータの比較を一括して行なえるため、メモリ診断を高速に実行できる。

【0017】請求項4によれば、データ書込過程と比較過程との間に待機過程を設けることによりメモリにデータを記憶させてから一定時間経過した後のメモリの状態を検知でき、素子不良の他にリフレッシュ不良等の診断も可能となる。請求項5によれば、アクセス過程、確定検知過程、遅延制御過程をデータが確定するまでくり返し、実行することによりデータ確定不良を検知できると共にデータ確定遅延時間を検知できるため、メモリの回路の調整等を容易に行なえる。

【0018】請求項6によれば、データ確定信号をデータの確定が可能となる時間まで順次遅延させることにより、データ確定時間の不良、及び、不良時間を検知することができる。

【0019】

【実施例】図2に本発明の第1実施例のブロック図を示す。本実施例では情報処理装置に内蔵されたメモリの初期診断方法について説明する。本実施例の情報処理装置10は予め設定されたプログラムに従って情報を処理するプロセッサ11、プロセッサ11で処理されるデータが記憶されるメモリ12、プロセッサ11での処理結果を表示する表示装置13、メモリ12の故障を診断する故障診断用ハードウェア部14より構成される。

【0020】故障診断用ハードウェア部14はテストデータを保持するレジスタ15、メモリ12に記憶されたデータとレジスタ15に保持されたテストデータとを比較し、一致したときにはローレベル、不一致のときにはハイレベルの信号を出力するコンパレータ16、コンパレータ16からの信号をラッチするラッチ回路17より構成される。

【0021】レジスタ15にはメモリ12の各アドレスAdr1～Adrnに記憶されるロングバイト単位のテストデータと同じ値、例えば16進数で“FFAA5500”なるテストデータが保持される。図3に本発明の第1実施例の動作フローチャートを示す。プロセッサ11では電源の投入などに応じて内部にメモリ診断指令が発生すると(ステップS1-1)、まず、メモリ12にアクセスして予め設定されたロングバイトのテストデータ、例えば、16進表示で、“FFAA5500”をメモリ

1 2の各アドレスAdr1 ~nに書き込むと共にレジスタにメモリ1 2に記憶させたテストデータ“FFA5500”と同じ値のテストデータ“FFAA5500”を書き込む(ステップS1-2, S1-3)。

【0022】次にプロセッサ11はレジスタ15に保持されたテストデータをコンパレータ16に供給し、メモリ1 2へアクセスするアドレスを最初のアドレスAdr1にセットし、メモリ1 2にアクセスして、メモリ1 2よりデータを読み出し、コンパレータ16に供給する(ステップS1-4, S1-5, S1-6)。

【0023】コンパレータ16ではレジスタ15から供給されたテストデータD1とメモリ1 2から供給されるアドレスAdr1に記憶されたデータD2とを比較し、データD1とデータD2とが一致するときには出力Qをローレベルとし、出力し、データD1とデータD2とが不一致のときには出力Qをハイレベルとする。コンパレータ16の出力Qはラッチ回路17に供給される。

【0024】ラッチ回路17にはメモリ1 2から読み出されたデータのアドレスAdr1が供給され、コンパレータ16の出力Qをラッチし、対応するアドレスAdr1のエラー判別信号としてプロセッサ11に供給する。データD1とデータD2とが一致し、メモリ1 2のアクセスされたアドレスに故障・不良がなければ、プロセッサ11にはラッチ回路17よりローレベルのエラー判別信号が供給され、データD1とデータD2とが不一致で、メモリ1 2のアクセスされたアドレスに故障・不良がある場合にはプロセッサ11にはラッチ回路17よりハイレベルのエラー判別信号が供給される。

【0025】プロセッサ11はラッチ回路17からのエラー判別信号がハイレベルになると、メモリ1 2の現在アクセスしているアドレスに不良有と判断し、表示装置13にメモリ1 2の所定のアドレスに不良がある旨の表示を行ない処理を停止する(ステップS1-7, S1-8)。

【0026】また、プロセッサ11はステップS1-7で不良がなければ、次にアクセスしたアドレスが最終アドレスAdrか否かを判別して最終アドレスAdrnであれば、メモリ1 2に不良はないことになるため、次の処理動作を行ない、アクセスしたアドレスが最終アドレスAdrでなければ、アクセスしたアドレスAdrnをインクリメント(+1)ステップS1-6に戻る(ステップS1-9, S1-10)。

【0027】以上ステップS1-6~S1-10をくり返すことによりプロセッサ11はメモリ1 2に不良があれば、不良を認識し、次の動作を停止でき、不良がなければ、次の動作に移ることになる。本実施例によれば、プロセッサ11では素子不良が発見されるまではデータの比較、素子不良の判定等の動作は不必要となるため、プロセッサ11でのデータ処理時間を短縮でき、高速に不良の判定が行なえる。

【0028】図4に本発明の第2実施例のブロック図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明は省略する。本実施例は第1実施例とはプロセッサ21の制御動作が異なり、プロセッサ21はメモリ11へのデータ書き込み後、一定時間経過した後にメモリ11に書き込んだデータを読み出し、エラーの検出を行なうことにより、DRAM等のリフレッシュ回路の不良を診断可能としている。

【0029】図5に本発明の第2実施例の動作フローチャートを示す。プロセッサ21では電源の投入などに応じて内部にメモリ診断指令が発生すると(ステップS2-1)、まず、メモリ12にアクセスして予め設定されたロングバイトのテストデータ、例えば、16進表示で、“FFAA5500”をメモリ12の各アドレスAdr1 ~nに書き込むと共にレジスタにメモリ12に記憶させたテストデータ“FFA5500”と同じ値のテストデータ“FFAA5500”を書き込む(ステップS2-2, S2-3)。

【0030】プロセッサ21は次にメモリ12の診断処理動作をメモリ12のリフレッシュ時間等に相当する所定の時間、例えば、数秒間待機状態とし、プロセッサ21に接続された入出力インタフェース等の他の回路(図示せず)の初期化等他の処理を行なう(ステップS2-4)。

【0031】所定時間経過後、プロセッサ21はレジスタ15に保持されたテストデータをコンパレータ16に供給し、メモリ12へアクセスするアドレスを最初のアドレスAdr1にセットし、メモリ12にアクセスして、メモリ12よりデータを読み出し、コンパレータ16に供給する(ステップS2-5, S2-6, S2-7)。

【0032】コンパレータ16ではレジスタ15から供給されたテストデータD1とメモリ12から供給されるアドレスAdr1に記憶されたデータD2とを比較し、データD1とデータD2とが一致するときには出力Qをローレベルとし、出力し、データD1とデータD2とが不一致のときには出力Qをハイレベルとする。コンパレータ16の出力Qはラッチ回路17に供給される。

【0033】ラッチ回路17にはメモリ12から読み出されたデータのアドレスAdr1が供給され、コンパレータ16の出力Qをラッチし、対応するアドレスAdr1のエラー判別信号としてプロセッサ21に供給する。データD1とデータD2とが一致し、メモリ12のアクセスされたアドレスに故障・不良がなければ、プロセッサ21にはラッチ回路17よりローレベルのエラー判別信号が供給され、データD1とデータD2とが不一致で、メモリ12のアクセスされたアドレスに故障・不良がある場合にはプロセッサ21にはラッチ回路17よりハイレベルのエラー判別信号が供給される。

【0034】プロセッサ21はラッチ回路17からのエラー判別信号がハイレベルになると、メモリ12の現在

アクセスしているアドレスに不良有と判断し、表示装置 13 にメモリ 12 の所定のアドレスに不良がある旨の表示を行ない処理を停止する（ステップ S2-8, S2-9）。

【0035】また、プロセッサ 21 はステップ S2-8 で不良がなければ、次にアクセスしたアドレスが最終アドレス Adr か否かを判別して最終アドレス Adrn であれば、メモリ 12 に不良はないことになるため、次の処理動作を行ない、アクセスしたアドレスが最終アドレス Adr でなければ、アクセスしたアドレス Adrn をインクリメント (+1) ステップ S2-7 に戻る（ステップ S2-10, S2-11）。

【0036】以上ステップ S1-7 ~ S1-11 をくり返すことによりプロセッサ 21 に不良があれば、不良を認識し、次の動作を停止でき、不良がなければ、次の動作に移ることになる。本実施例によれば、メモリ 12 にデータを書き込んでから所定時間経過後にメモリ 12 からデータを読み出してデータのテストデータとの一致・不一致を検知し、メモリ 12 の不良を認識しているため、メモリ 12 がスタティック RAM であれば、所定時間経過後にデータが変形してしまうので素子の不良であることを検知でき、またダイナミック RAM であれば、同様に素子不良であることの他、リフレッシュ回路の故障を推測できる。

【0037】図 6 に本発明の第 3 実施例のブロック図を示す。本実施例の情報処理装置 30 は予め設定されたプログラムに従って情報を処理するプロセッサ 31、プロセッサ 31 で処理されるデータが記憶されるメモリ 32、プロセッサ 31 で処理されたデータの処理結果を表示する表示装置 33、メモリ 12 のアクセス時のデータ確定までの遅延時間を測定するメモリアクセス遅延回路 34 より構成される。

【0038】メモリアクセス遅延回路 34 はデータ確定信号を遅延させる遅延回路部 35 及び、遅延回路 35 から供給されるデータ確定信号の遅延時間をプロセッサ 31 からの切替制御信号に応じて切替えるスイッチ部 36 より構成される。図 7 に本発明の第 3 実施例の動作フローチャートを示す。

【0039】プロセッサ 31 では電源投入等に応じて内部にメモリ診断指令が発生すると（ステップ S3-1）、まずメモリアクセス遅延回路 34 のスイッチ部 36 に切替制御信号を供給し、遅延回路部 34 の遅延時間 T が“0”になるようにスイッチ部 36 を制御すると共にメモリ 32 の最初のアドレス Adr1 にアクセスする（ステップ S3-2, S3-3）。

【0040】次にプロセッサ 31 ではメモリ 32 へのアクセス時にメモリ 32 から供給されるデータ及びデータ確定信号（例えば、モトローラ 3, メモリにおける DTACK）を検知することによりプロセッサ 31 がデータを確定できたか否かを検知する（ステップ S3-4）。

【0041】図 8 にデータの確定を説明するための動作波形図を示す。プロセッサ 31 はメモリ 32 へのアクセス時には図 8 (A), (B) に示すような \neg RAS (反転 ROW ADDRESS STROBE) 信号及び \neg CAS (反転 COLUMN ADDRESS STROBE) 信号をメモリ 32 に供給し、メモリ 32 は図 8 (C) に示すように \neg RAS 信号及び \neg CAS 信号が同時に供給されたところでデータをプロセッサ 31 に供給する。

【0042】メモリ 32 は図 8 (D), (B) に示すようにデータを出力してから \neg CLK (反転クロック) 信号に同期して出力されるデータを確定するための \neg DTACK (反転 DTACK) 信号を出力する。プロセッサ 31 はメモリ 32 からの \neg DTACK 信号が立ち下がった時点でデータを確定する。

【0043】また、メモリ 32 からのデータが不確定の時刻に \neg DTACK 信号が立ち下がった場合にはプロセッサ 31 ではデータを確定できなくなる。つまり、メモリ 32 からのデータの供給と \neg DTACK 信号とのタイミングがずれているとプロセッサ 32 ではデータの確定ができず、このようなメモリは不良であることになる。

【0044】図 7 に戻って説明を続ける。プロセッサ 31 はステップ S3-4 でデータが確定できれば、メモリ 32 に不良はないことになりメモリ診断動作を終了させ、次の動作に移る。また、データが確定できなければ、プロセッサ 31 はスイッチ部 36 を制御して遅延回路部 35 の遅延時間を $T=t_0$ に設定し、メモリ 32 にアクセスする（ステップ S3-5, S3-6, S3-7）。

【0045】ここで、プロセッサ 31 はデータ確定の有無を検知する（ステップ S3-8）。ここで、データが確定すれば、 \neg DTACK 信号を時間 $T=t_0$ だけ遅延させることによりデータが確定する旨の表示を表示装置 33 に行なう（ステップ S3-9）。

【0046】また、プロセッサ 31 はステップ S3-8 でデータが確定できなければ、スイッチ部 36 を制御して遅延回路部 35 での遅延時間 T を t_0 より大きい $2t_0$ に設定し、メモリにアクセスし再びデータ確定の有無を検知する（ステップ S3-10）。

【0047】以上ステップ S3-6 ~ S3-10 を遅延回路部 35 の最大遅延時間 $T=nt$ となるまでくり返し、 \neg DTACK 信号のデータ確定可能な遅延時間を求める（ステップ S3-11）。また、プロセッサ 31 は遅延回路部 35 の最大遅延時間 $T=nt_0$ となってもデータが確定しないときには表示装置 33 に遅延時間が過大である旨の表示を行なう（ステップ S3-12）。

【0048】以上のように本実施例によれば、アクセス時間のチェックが可能で、アクセス時間がわかることによりメモリ 32 の設計時におけるアクセス時間の遅延時間の設定や設計ミス等を正確な数値データとして知ることができ、設計の迅速化に寄与する。

【0049】

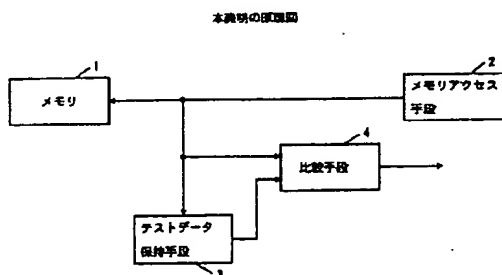
【発明の効果】上述の如く、本発明の請求項1によれば、メモリには全域にメモリアクセス手段により同じテストデータを書き込み、書き込まれたテストデータをメモリから順次読み出し、比較手段によりテストデータ保持手段に保持されたテストデータと比較するだけで、メモリの故障・診断が行なえ、メモリへのアクセスと故障診断とを独立に行なえるため、高速に診断が行なえる。

【0050】請求項2によれば、テストデータ保持手段と比較手段とを専用ハードウェアで構成することにより、故障の診断を専用ハードウェアにより独立に行なえ、プログラムの制御を簡略化できるため、高速に診断が可能となる。請求項3によれば、テストデータをメモリ全域及びテストデータ保持手段に書き込んだ後、テストデータ保持手段に書き込まれたテストデータを比較手段に供給し、比較手段にメモリから順次データを読み出すことにより比較手段でテストデータ保持手段のテストデータとメモリから読み出されたテストデータとを比較し、その不一致を検知することによりデータの比較を一括して行なえるため、メモリ診断を高速に実行できる等の特長を有する。

【0051】請求項4によればデータ書込過程と比較過程との間に待機過程を設けることによりメモリにデータを記憶させてから一定時間経過した後のメモリの状態を検知でき、素子不良の他にリフレッシュ不良等の診断も可能となる等の特長を有する。

【0052】請求項5によれば、アクセス過程、確定検知過程、遅延制御過程をデータが確定するまで、くり返し、実行することによりデータ確定不良を検知できると共にデータ確定遅延時間を検知できるため、メモリの回路の調整等を容易に行なえる等の特長を有する。

【図1】



【0053】請求項6によれば、データ確定信号をデータの確定が可能となる時間まで順次遅延させることにより、データ確定時間の不良、及び、不良時間を検知することができ、メモリの設計時の回路設計ミス等の診断を容易に行なうことができる等の特長を有する。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の第1実施例のブロック図である。

【図3】本発明の第1実施例の動作フローチャートである。

【図4】本発明の第2実施例のブロック図である。

【図5】本発明の第2実施例の動作フローチャートである。

【図6】本発明の第3実施例のブロック図である。

【図7】本発明の第3実施例の動作フローチャートである。

【図8】本発明の第3実施例の動作説明図である。

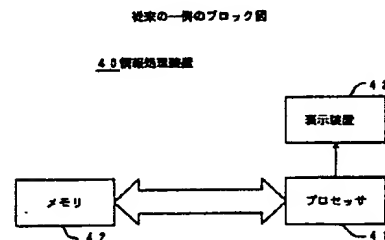
【図9】従来の一例のブロック図である。

【図10】従来の一例の動作フローチャートである。

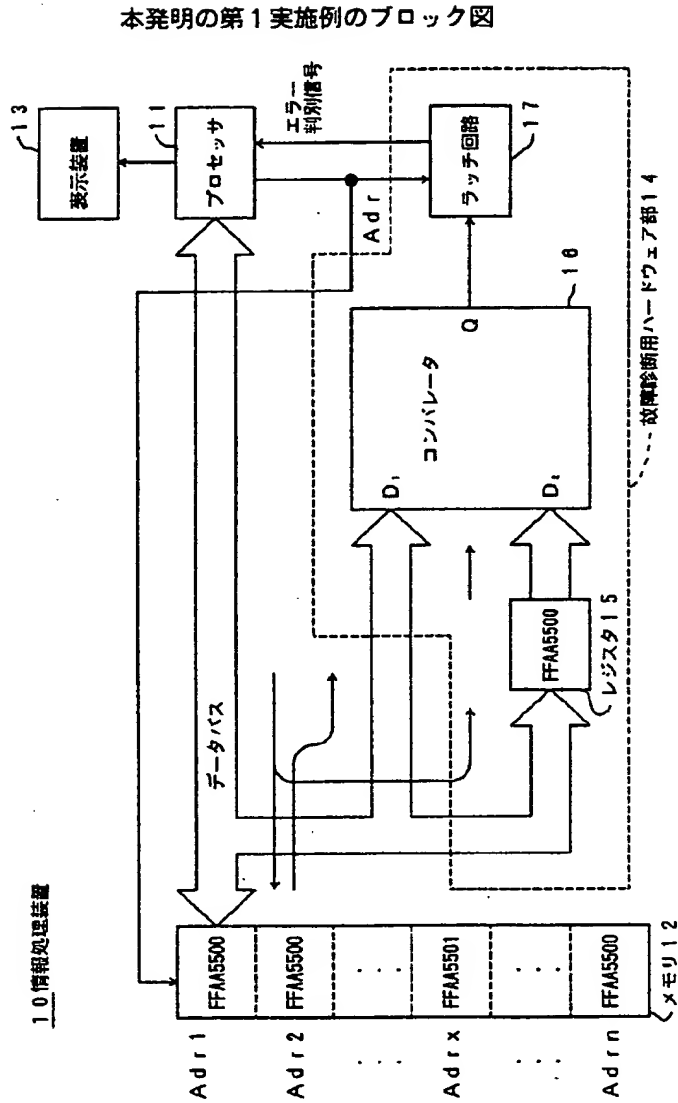
【符号の説明】

- 1 メモリ
- 2 メモリアクセス手段
- 3 テストデータ保持手段
- 4 比較手段
- 11 プロセッサ
- 12 メモリ
- 13 表示装置
- 14 故障診断用ハードウェア部
- 15 レジスタ
- 16 コンパレータ
- 17 ラッチ回路

【図9】

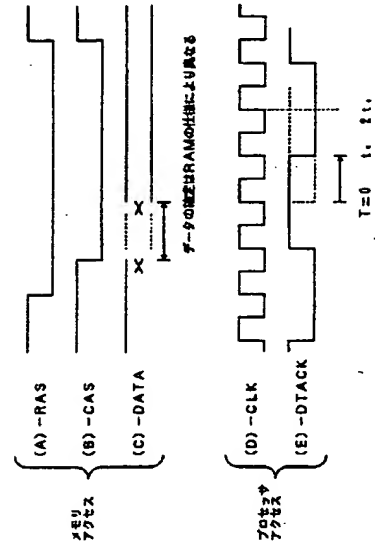


【図2】



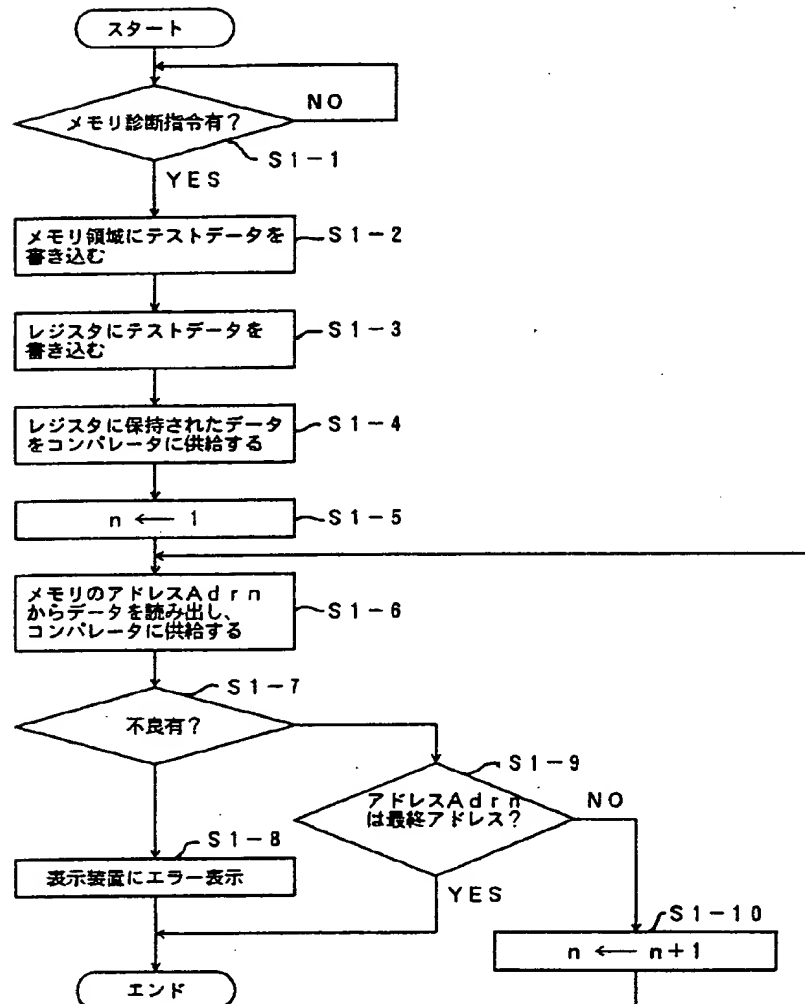
【図8】

本発明の第3実施例の動作説明図



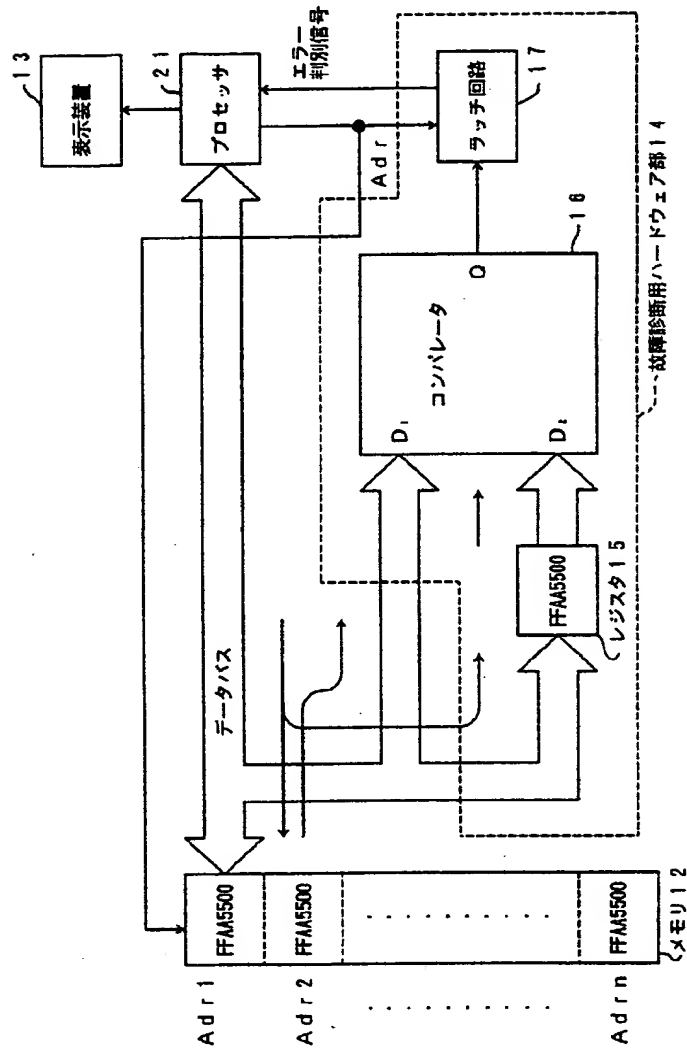
【図3】

本発明の第1実施例の動作フローチャート



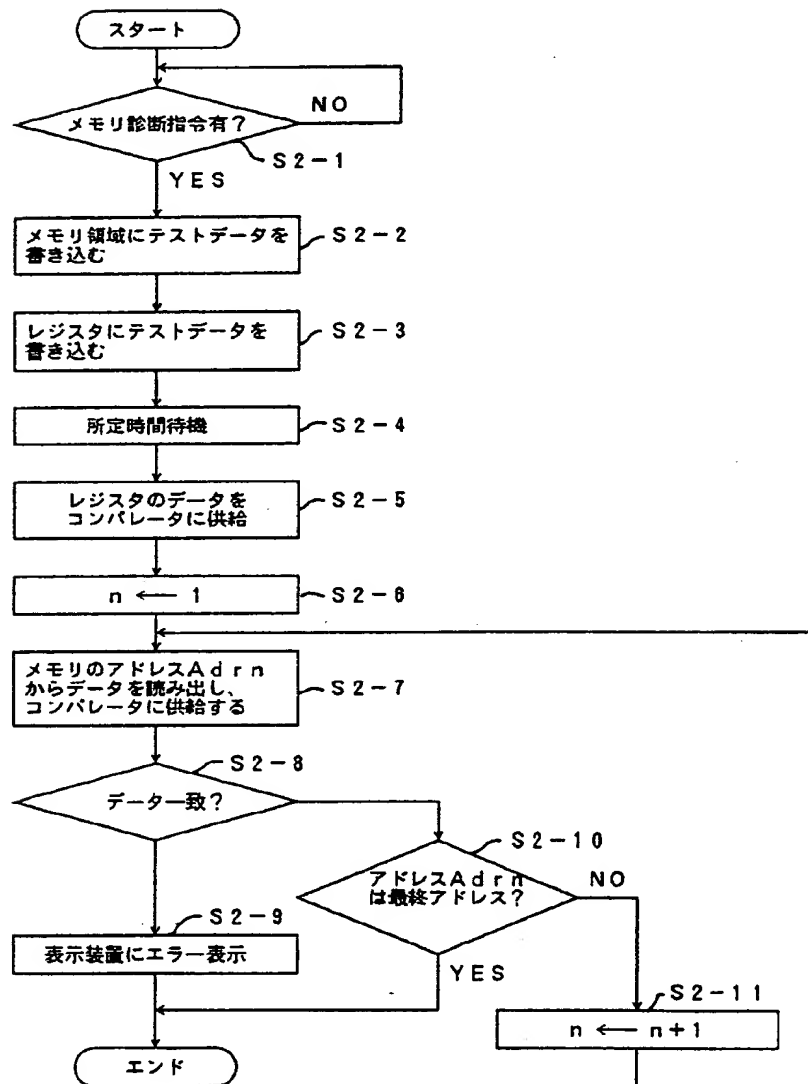
【図4】

本発明の第2実施例のブロック図



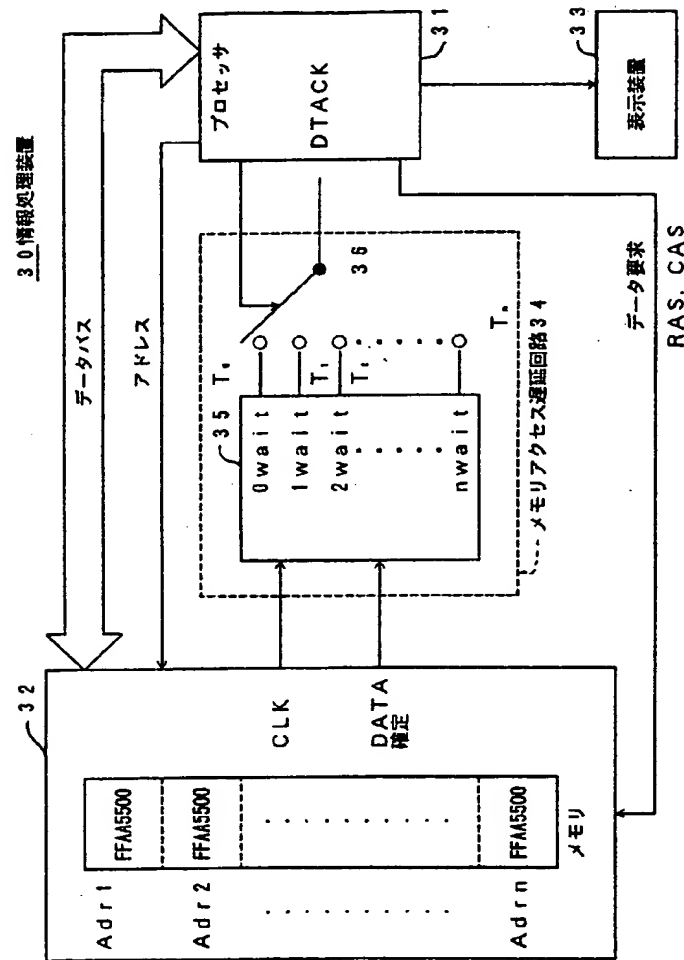
【図5】

本発明の第2実施例の動作フローチャート



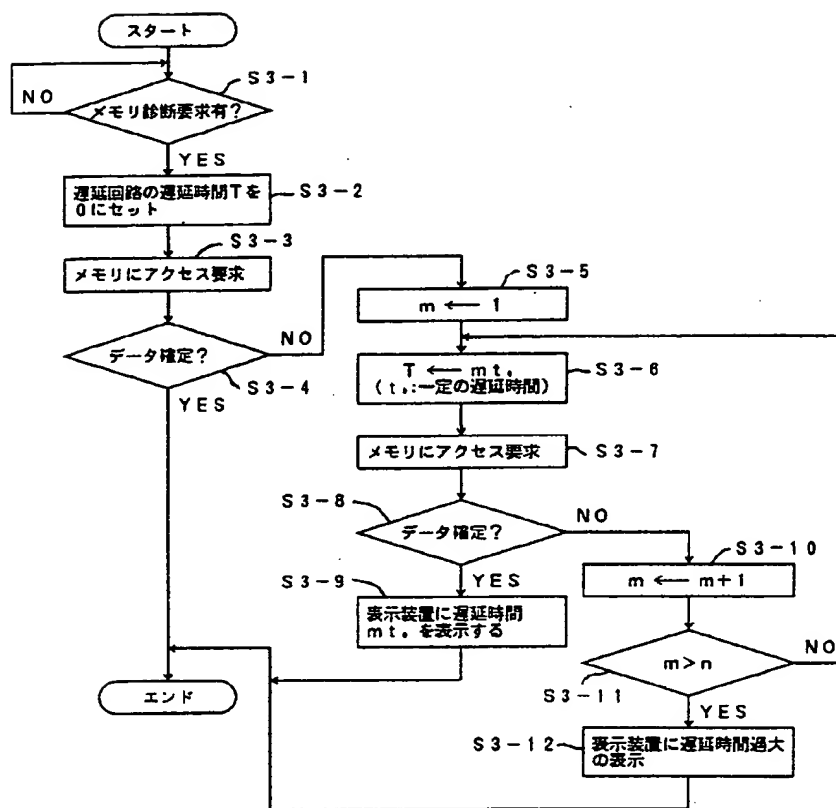
【図6】

本発明の第3実施例のブロック図



【図7】

本発明の第3実施例の動作フローチャート



【図10】

従来の一例の動作フローチャート

